

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-022563

(43)Date of publication of application : 22.01.2004

(51)Int.Cl.

H01L 21/205
H01L 29/201
// H01S 5/323

(21)Application number : 2002-171137

(71)Applicant : SONY CORP
RITSUMEIKAN

(22)Date of filing : 12.06.2002

(72)Inventor : MIYAJIMA TAKAO
SAITO YOSHIKI
NANISHI YASUYUKI

(54) METHOD FOR FORMING GaInN LAYER

(57)Abstract:

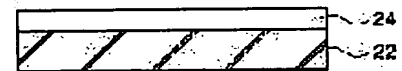
PROBLEM TO BE SOLVED: To provide a method for forming a GaInN layer that has high In composition and superior optical characteristics.

SOLUTION: A cleaned c-surface sapphire substrate 22 is introduced into an MBE device, and thermal cleaning is performed for ten minutes at 800° C in vacuum. Then the temperature of the substrate is lowered to 550° C, and the surface of the sapphire substrate is nitrified by a nitrogen plasma. Then the temperature of the substrate is lowered to 300° C, and the sapphire substrate is kept for ten minutes under a condition where the amount of In beam is 8×10^{-8} Torr, the flow rate of nitrogen gas is 2 sccm, and RF power is 330 W. By using the nitrogen plasma in an MBE method, a low temperature InN buffer layer 24 having a thickness of 30nm is grown on the sapphire substrate at an average growing speed 70nm/hour. A surface of the low temperature InN buffer layer has a nitrogen polarity. Then the temperature of the substrate is raised to 550° C, and an annealing treatment is performed while keeping the temperature for three minutes, to flatten the surface. Continuously, Ga, In and the nitrogen plasma are supplied to grow a Ga_{1-x}In_xN mixed crystal semiconductor layer 26, in which In composition X is 0.73, on the low temperature InN buffer layer, in a MBE method.

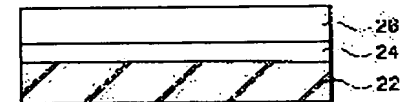
(a)



(b)



(c)



THIS PAGE BLANK (USPTO)

JST-118-PC T

国際調査報告の引用文献②

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-22563

(P2004-22563A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int. Cl.⁷

H01L 21/205

H01L 29/201

// H01S 5/323

F I

H01L 21/205

H01L 29/201

H01S 5/323 610

テーマコード (参考)

5F045

5F073

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2002-171137 (P2002-171137)
(22) 出願日 平成14年6月12日 (2002. 6. 12)(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(71) 出願人 593006630
学校法人立命館
京都府京都市北区等持院北町56番地の1
(74) 代理人 100095326
弁理士 畑中 芳実
(72) 発明者 宮崎 孝夫
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 齋藤 義樹
滋賀県草津市野路東1丁目1-1 立命館
大学内

最終頁に続く

(54) 【発明の名称】 GaInN層の成膜方法

(57) 【要約】

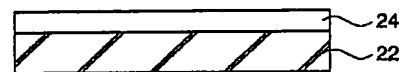
【課題】高いIn組成を有し、かつ優れた光学的特性を有するGaInN層を成膜する方法を提供する。

【解決手段】本方法では、洗浄したc面サファイア基板22をMBE装置に導入して真空中で800℃の温度でサーマルクリーニングを10分間施す。次いで、基板温度を550℃まで下げ、窒素プラズマによりサファイア基板の基板面を窒化する。次いで、300℃に基板温度を降温し、Inビーム量が 8×10^{-6} Torr、窒素ガス流量が2 sccm、RFパワーが330Wの条件で10分間サファイア基板を維持し、MBE法により窒素プラズマを用いて、平均成長速度70nm/時間で膜厚30nmの低温InNバッファ層24をサファイア基板上に成長させる。低温InNバッファ層の表面は窒素極性を有する。次いで、基板温度を550℃に上げ、3分間保持してアニール処理を施し、表面を平坦化する。続いて、Ga、In及び窒素プラズマを供給して、MBE法によりIn組成Xが0.73のGa_{1-x}In_xN混晶半導体層26を低温InNバッファ層上に成長させる。

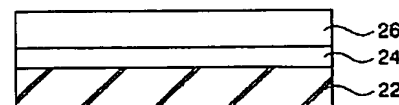
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】

200℃以上450℃以下の成長温度でMBE法(Molecular Beam Epitaxial Growth、分子線エピタキシャル成長法)により窒素プラズマを使って低温InNバッファ層を基板上に成長させる工程と、
低温バッファ層の成長温度より高い基板温度で低温InNバッファ層にアニール処理を施す工程と、
MBE法によりアニール処理の温度と同じか又は高い温度で低温InNバッファ層上に $Ga_{1-x}In_xN$ 混晶半導体層をエピタキシャル成長させる工程と
を備えることを特徴とするGaInN層の成膜方法。

10

【請求項2】

低温InNバッファ層の成長工程の前に、基板上で窒素プラズマを生成させて基板の基板面を窒化する工程を備えていることを特徴とする請求項1に記載のGaInN層の成膜方法。

【請求項3】

基板として、サファイア基板、GaN基板、SiC基板、Si基板、GaAs基板、GaP基板、ZrB₂基板、及びMgAl₂O₄基板のいずれかを使用することを特徴とする請求項1又は2に記載のGaInN層の成膜方法。

【請求項4】

アニール処理の処理温度が400℃以上700℃以下であり、アニール処理の処理時間が1分間以上10分間以下であることを特徴とする請求項1から3のうちのいずれか1項に記載のGaInN層の成膜方法。

20

【請求項5】

低温InNバッファ層上に成長させたIn組成Xの $Ga_{1-x}In_xN$ 混晶半導体のバンドギャップ E_{GaInN} が

$$E_{GaInN} = (1-X)E_{GaN} + XE_{InN} - bX(1-X)$$
 で規定されることを特徴とする請求項1から4のうちのいずれか1項に記載のGaInN層の成膜方法。

但し、 E_{InN} はInNのバンドギャップエネルギーであって、0.78eV、 E_{GaN} はGaNのバンドギャップエネルギーであって、3.4eV、及びbはボーイングパラメータであって、2.3eVである。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、 $Ga_{1-x}In_xN$ 混晶半導体層の成膜方法に関し、更に詳細には優れた光学的特性を備え、かつバンドギャップエネルギーが正確に特定できる $Ga_{1-x}In_xN$ 混晶半導体層の成膜方法に関するものである。

【0002】

【従来の技術】

窒化物半導体である $Ga_{1-x}In_xN$ 混晶半導体を発光層として用いることにより、360nmから660nm程度の発光波長を有する発光デバイスを実現できることが、広く知られている。

40

これは、これまでに行われた実験結果から算出されたGaN及びInNのバンドギャップエネルギーに基づいて算出された $Ga_{1-x}In_xN$ 混晶半導体のバンドギャップエネルギーの幅が広いことにある。

つまり、 $Ga_{1-x}In_xN$ 混晶半導体のバンドギャップエネルギー E_{GaInN} は、ボーイングパラメータを2.6eV(C. Wetzel et al., Appl. Phys. Lett. 73 (1998) 1994.)として、GaNのバンドギャップエネルギー E_{GaN} とInNのバンドギャップエネルギー E_{InN} の間の値を取ることに基づいている。ここで、GaNのバンドギャップエネルギー E_{GaN} は窒

50

温で3.39 eV (H. P. Maruska et al., Appl. Phys. Lett. 15 (1969) 327.) であり、InNのバンドギャップエネルギー E_{InN} は室温で1.95 eV (K. Osamura et al. (Solid State Commun. 11 (1972) 617.) である。

【0003】

【発明が解決しようとする課題】

しかし、In組成Xが0.2未満の $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体のエピタキシャル成長は比較的容易であるものの、 $X > 0.2$ の高いIn組成を有しながら、結晶性及び光学的特性に優れた $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体を作製することは、極めて難しかった。

10

また、従来のInN層は単結晶層ではなく多結晶層であるために、従来使用されてきた上述のInNのバンドギャップエネルギー E_{InN} の数値には信頼性がなく、従って高いIn組成の $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体のバンドギャップエネルギー E_{GaInN} にも大きな不確かさがあつた。

これでは、 $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体を使って所望の光学特性を有する半導体発光素子を作製することが難しい。

【0004】

そこで、 $X > 0.2$ の高いIn組成を有し、かつ良好な結晶性及び優れた光学的特性を有する $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体層を成膜する方法の確立、及び $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体の正確なバンドギャップエネルギー E_{GaInN} の算定式の確立が求められていた。

20

以上の事情に照らして、本発明の目的は、高いIn組成を有し、かつ良好な結晶性及び優れた光学的特性を有する $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体層を成膜する方法を提供し、更にその方法で成膜された $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体のバンドギャップエネルギー E_{GaInN} の算定式を提供することである。

【0005】

【課題を解決するための手段】

本発明者は、結晶性及び光学的特性に優れた $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体層をエピタキシャル成長させる方法を確認するために、種々の実験を行った結果、MBE法によりサファイア基板上に成長温度200℃から450℃の範囲で窒素プラズマ及びIn金属の分子線ビームを照射することにより、約70 nm/時間の成長速度で厚さ30 nm程度のInN層を低温成長バッファ層として設けて表面の極性を窒素極性に制御する。次いで窒素プラズマ及びIn金属の分子線ビームの照射をシャッタの閉止により停止して550℃の温度でアニーリングすることにより、低温InNバッファ層の表面を原子層オーダーで平坦化する。

30

次いで、アニール処理した低温InNバッファ層上に550℃で $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体層をMBE法により成長させることにより、本発明で規定した算出式でIn_x

N混晶半導体のバンドギャップエピタキシャル E_{GaInN} を特定できる良好な結晶性及び優れた光学的特性を有する $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体層を形成できることを見出した。

40

【0006】

以下に、図2及び図3を参照して、本発明者が行った実験の一つを詳しく説明する。図2はInN層又はGaInN層の成膜実験のタイムチャート、及び図3(a)から(d)はInN層又はGaInN層を成膜する際の工程毎の基板断面図である。

先ず、c面サファイア基板を有機洗浄液により洗浄し、MBE装置の成長室に導入し、図2に示すように、真空中で800℃の温度でサーマルクリーニングを10分間施した。

次いで、図2に示すように、基板温度を550℃まで下げ、RFガンに流量1 sccmの窒素ガスと出力300 Wの高周波(周波数13.56 MHz)を導入することにより窒素プラズマを生成させてサファイア基板に1時間照射して、図3(a)に示すように、サファイア基板12の基板面を窒化した。

50

【0007】

サファイア基板12の基板面の窒化処理後、基板温度を300℃まで降温して、Inビーム量が 8×10^{-8} Torr、窒素ガス流量が2 sccm、RFパワーが330Wの条件で成長室内にサファイア基板12を10分間維持し、図3(b)に示すように、膜厚30nmの低温InNバッファ層14をサファイア基板12上に成長させた。尚、低温InNバッファ層の最適成長温度は200℃から450℃であり、成長速度の平均値は、約70nm/時間であった。但し、成長開始当初の成長速度は70nm/時間より大きい。このような成長条件を用いることにより、低温InNバッファ層14の表面を窒素極性に制御することができた。窒素極性になっていることは、CAICISS (Coaxial Impact Ion Scattering Spectroscopy) で直接評価することと、低温InNバッファ層上に膜厚50nm程度のGaN層を成長させ、そのRHEEDが3×3のパターンになることとで確認している。

【0008】

次いで、窒素プラズマ及びInビームのシャッタを閉じ、図2に示すように、基板温度を20℃/分の昇温レートで550℃に上げ、その温度で3分間保持してアニール処理を施し、低温InNバッファ層14の表面を原子層オーダに平坦化した。

低温InNバッファ層14の表面が平坦化されていることは、低温InN層14からの1×1のRHEEDがより鮮明なストリーク状になることで確認している。

アニール処理後、Inと窒素プラズマとを成長室に供給して、成長レートが250nm/時間、成長温度が550℃、Inビーム量が 3.2×10^{-7} Torr、窒素ガス流量が2 sccm、RFパワーが200Wから400Wの条件で、膜厚250nmのInN層16を低温InNバッファ層14上にエピタキシャル成長させた。成長時間は1時間であった。

【0009】

低温InNバッファ層14上に成長させたInN層16をフォトルミネッセンス法で評価したところ、図4に示すようなスペクトルを得ることが出来た。図4は横軸にエネルギー(eV)を、縦軸に光強度(任意目盛)を取ってフォトルミネッセンススペクトルを示した図である。

図4に示すグラフ(1)は、温度77Kでの光強度であり、グラフ(2)は室温での光強度である。図4に示すように、InNのバンドギャップエネルギー E_{InN} は、 $T=77\text{K}$ で $E_{\text{InN}}=0.775\text{eV}$ 、 $T=\text{室温}$ で $E_{\text{InN}}=0.78\text{eV}$ であった。これらの数値は、これまでに報告されている室温でのInNのバンドギャップエネルギー $E_{\text{InN}}=1.95\text{eV}$ (K. Osamura et al. (Solid State Commun. 11 (1972) 617.)) とは大きく異なっていることが分かった。

【0010】

次に、低温InNバッファ層14のアニール処理後、低温InNバッファ層14上にGa_{1-x}In_xN混晶半導体層をエピタキシャル成長させる別の実験を行った。

Ga、In及び窒素プラズマを供給し、InN層のエピタキシャル成長条件と同じ条件、つまり、成長レートが250nm/時間、成長温度が550℃、Inビーム量及びGaビーム量の総和が 3.0×10^{-7} Torr、窒素ガス流量が2 sccm、RFパワーが200Wから400Wの条件で、図3(d)に示すように、膜厚250nmでIn組成(X)が0を超え、かつ1.0未満の範囲で異なる種々のGa_{1-x}In_xN混晶半導体層18を低温InNバッファ層14上にエピタキシャル成長させた。各Ga_{1-x}In_xN混晶半導体層の成長時間は1時間であった。

【0011】

In組成は、図6に示すように、MBE装置でのGaビームに対するInビームのビームフラックス比を変えることにより、線形に制御することができる。図6は横軸にInビーム及びGaビームのインプットの比率InN/(InN+Ga)を取り、縦軸にIn組成を取ったグラフである。

MOCVD法では、気相比に対する固相比（In組成比）が非線形で与えられることから、In組成比制御が難しい（T. Matsuoka et al. ; J. Electron Mater. 21 (1992) 157.）ことと対照的であり、これが本方法の優位点である。

【0012】

成膜した $Ga_{1-x}In_xN$ 混晶半導体のバンドギャップエネルギーをフォトルミネッセンス（PL、Photoluminescence）法及びカソードルミネッセンス（CL）法により $T=77K$ で測定をしたところ、図5に示すような、 $Ga_{1-x}In_xN$ 混晶半導体のバンドギャップエネルギー E_{GaInN} とIn組成（X）の関係を得ることができた。

10

図5は横軸にIn組成を、縦軸に $Ga_{1-x}In_xN$ 混晶半導体のバンドギャップエネルギーを取って、 $T=77K$ で測定したフォトルミネッセンススペクトル及びカソードルミネッセンススペクトルのピークエネルギーをバンドギャップエネルギーとして示した図である。

尚、このとき、PLおよびCL法で得られたスペクトルのピークエネルギーを $Ga_{1-x}In_xN$ 混晶半導体のバンドギャップエネルギーとした。

【0013】

以上の実験により、低温InNバッファ層上に成長させた $Ga_{1-x}In_xN$ 混晶半導体のバンドギャップ E_{GaInN} が

20

$E_{GaInN} = (1-X)E_{GaN} + XE_{InN} - bX(1-X)$

で規定されることを見出した。

また、ボーイングパラメータ b は、上式を実験値に対して最小二乗法によりフィッティングすることで、 $b=2.3eV$ と得ることができた。但し、 E_{InN} はInNのバンドギャップエネルギーであって、 $0.78eV$ 、 E_{GaN} はGaNのバンドギャップエネルギーであって、 $3.4eV$ である。

【0014】

この関係式と、 $Ga_{1-x}In_xN$ 混晶半導体のバンドギャップエネルギー E_{GaInN} と発光波長 λ （nm）の関係、つまり

λ （nm） $=1239.8/E_{GaInN}$ （eV）

から、In組成（X）を変えた $Ga_{1-x}In_xN$ 混晶半導体を発光層として使うことにより、 $360nm$ から $1.59\mu m$ もの長波長領域までをカバーする半導体発光素子を実現することができる。

30

【0015】

上述の実験では、窒素プラズマを用いて低温InNバッファ層を低成長速度で成長させることにより、低温InNバッファ層の表面極性を窒素極性に制御し、続くアニール処理により表面の平坦化を行うことにより、In組成Xが大きく、結晶性の良好な $Ga_{1-x}In_xN$ 混晶半導体、或いはInN層をエピタキシャル成長させることができた。

サファイア基板上に直接InN層又はGaInN層を成長させたとき、その極性は、通常、3族元素、例えばGa、In等の極性になり易い。表面極性が3族元素の極性を有している場合、高いIn組成の $Ga_{1-x}In_xN$ 混晶半導体層又はInN層をエピタキシャル成長させる際には、蒸気圧の高いInを多く取り込むために、低い成長温度で $Ga_{1-x}In_xN$ 混晶半導体層又はInN層を成長させることが必要になる。

40

この結果、 $Ga_{1-x}In_xN$ 混晶半導体又はInNの結晶性が低下する。

【0016】

本実験のように窒素プラズマを用いて低成長速度で低温InNバッファ層を成長させ、低温InNバッファ層上に $Ga_{1-x}In_xN$ 混晶半導体又はInN層を成長させ、その表面を窒素極性にする事により、高温でのエピタキシャル成長が可能となり、In組成が高く、かつ結晶性の良好な $Ga_{1-x}In_xN$ 混晶半導体又はInNを成長させることができる。

また、低温InNバッファ層をアニール処理することにより、表面を平坦化し、続いて成

50

長させる $Ga_{1-x}In_xN$ 混晶半導体又は InN 層との界面に発生する結晶欠陥を抑制することができる。

本実験では、窒素プラズマを用いて低温バッファ層を成長させているが、その理由は、低温バッファ層が成長するような低温でも効率的に成長に寄与できる原子状の活性窒素を供給するためである。MOCVD法で使われる窒素源であるアンモニア (NH_3) は、500℃以下のような低温では、分解効率が著しく低下するために、MOCVD法を用いることができない。

【0017】

上記目的を達成するために、上述の知見に基づいて、200℃以上450℃以下の成長温度でMBE法 (Molecular Beam Epitaxial Growth、分子線エピタキシャル成長法) により窒素プラズマを使って低温 InN バッファ層を基板上に成長させる工程と、
低温バッファ層の成長温度より高い基板温度で低温 InN バッファ層にアニール処理を施す工程と、

MBE法によりアニール処理の温度と同じか又は高い温度で低温 InN バッファ層上に $Ga_{1-x}In_xN$ 混晶半導体層をエピタキシャル成長させる工程とを備えることを特徴としている。

【0018】

これまで、K. Osamura et al. (Solid State Commun. 11 (1972) 617) などによって、 InN の基礎物性、例えば基礎吸収端が $E = 1.8 \sim 1.9$ eV に存在することが報告されているが、現在のようなMBE法やMOCVD法のような高い結晶成長技術が開発されていなかったために、測定した InN 試料が多結晶であり、単結晶 InN 本来のバンドギャップエネルギーを反映した発光端を観測した例は報告されていない。

【0019】

一方、本発明方法で成膜した $Ga_{1-x}In_xN$ 混晶半導体層及び InN 層は単結晶であって、従来のものに比べて結晶欠陥が少なく、高品質の結晶性を有する。

実際に、上述の実験で得た InN 層では、吸収スペクトルで得られる吸収端近傍に、PL法により得られる発光端が、 $T = 77$ Kのみならず室温でも観測することができる。このことは、上述の実験で得た InN 層には結晶欠陥に起因した非発光中心が少ないことを意味し、光学的結晶性が向上していることが判る。

また、 $E = 0.8$ eV 近傍に吸収端と発光端の双方が観測できるということは、 InN 本来のバンドギャップエネルギーを反映した高品質の結晶が成長している証左にもなる。尚、成膜した InN 層の室温での吸収スペクトルを測定し、その結果を図7に示している。本発明方法では、低温 InN バッファ層の成長速度は、低いほうが望ましく、例えば300 nm/時間以下の平均速度である。

本発明方法によれば、上述の実験から判るように、 In 組成 X が大きく、しかも優れた光学的特性を有する $Ga_{1-x}In_xN$ 混晶半導体層を成膜することができる。

【0020】

本発明方法に従って低温 InN バッファ層上に成長させた In 組成 X の $Ga_{1-x}In_xN$ 混晶半導体は、バンドギャップ E_{GaInN} が

$$E_{GaInN} = (1-X) E_{GaN} + X E_{InN} - b X (1-X)$$
 で規定される。

但し、 E_{InN} は InN のバンドギャップエネルギーであって、0.78 eV、 E_{GaN} は GaN のバンドギャップエネルギーであって、3.4 eV、及び b はボーイングパラメータであって、2.3 eV である。また、上記の式は、 $T = 77$ K において測定された実験データに基づいたものである。

【0021】

低温 InN バッファ層の成長工程の前に、基板上で窒素プラズマを生成させて基板の基板面を窒化する工程を備えている。これにより、良好な低温 InN バッファ層を成長させる

ことができる。

本発明方法では、基板として、サファイア基板、Ga_{1-x}In_xN基板、SiC基板、Si基板、GaAs基板、GaP基板、ZrB₂基板、及びMgAl₂O₄基板のいずれかを使用する。

【0022】

【発明の実施の形態】

以下に、添付図面を参照し、実施形態例を挙げて本発明の実施の形態を具体的かつ詳細に説明する。

実施形態例

本実施形態例は本発明に係るGa_{1-x}In_xN層の成膜方法の実施形態の一例であって、図1 (a) から図1 (c) は、それぞれ、本実施形態例の方法に従ってGa_{1-x}In_xN混晶半導体層を成膜する際の工程毎の基板断面図である。

本実施形態例では、基本的には、前述の実験例と同じような手順でGa_{1-x}In_xN混晶半導体層を成膜する。即ち、先ず、図1 (a) に示すような、c面サファイア基板22を有機洗浄液により洗浄し、MBE装置の成長室に導入し、真空中で800℃の温度でサーマルクリーニングを10分間施す。

次いで、基板温度を550℃まで下げ、RFガンに流量1sccmの窒素ガスと出力300Wの高周波（周波数：13.56MHz）を導入することにより窒素プラズマを生成させてサファイア基板22に1時間照射して、サファイア基板22の基板面を窒化する。

20

【0023】

サファイア基板22の基板面の窒化処理後、200℃以上450℃以下の温度、例えば300℃に基板温度を降温し、基板温度が300℃、Inビーム量が 8×10^{-8} Torr、窒素ガス流量が2sccm、RFパワーが330Wの条件でMBE装置の成長室に10分間サファイア基板を維持し、図1 (b) に示すように、MBE法により窒素プラズマを使って平均成長速度70nm/時間で、膜厚30nmの低温InNバッファ層24をサファイア基板22上に成長させる。これにより、低温InNバッファ層24の表面を窒素極性にすることができる。

【0024】

次いで、基板温度を20℃/分の昇温レートで400℃以上700℃以下の温度、例えば550℃に上げ、真空中で1分間以上10分間以下、例えば3分間保持し、アニール処理を施して、低温InNバッファ層24の表面を原子層オーダに平坦化する。

30

アニール処理後、Ga、In及び窒素プラズマを成長室に供給して、成長レートが250nm/時間、成長温度Tが550℃、Gaビーム量とInビーム量との総和が 3.0×10^{-7} Torr、窒素ガス流量が2sccm、RFパワーが200Wから400Wの条件で、図1 (c) に示すように、MBE法により膜厚250nmでIn組成Xが0.73のGa_{1-x}In_xN混晶半導体層26を低温InNバッファ層24上にエピタキシャル成長させる。成長時間は1時間である。

【0025】

成長させたGa_{1-x}In_xN混晶半導体層のバンドギャップエネルギー E_{GaIn} は、 $E_{GaIn} = (1-X) E_{GaN} + X E_{InN} - b X (1-X)$ で規定され、X=0.73であるから、

40

$$E_{GaIn} \text{ (eV)} = (1-0.73) \times 3.4 + 0.73 \times 0.78 - 2.3 \times 0.73 \times (1-0.73)$$

$$= 1.03$$

に近いものであった。

従って、 $\lambda \text{ (nm)} = 1239.8 / E_{GaIn}$ であるから、 λ は1200nmとなる。

【0026】

【発明の効果】

本発明方法によれば、基板上に窒素プラズマを用いて低成長速度で低温InNバッファ層

50

を成長させることで、その表面を窒素極性にすることができ、アニール処理を施して表面を平坦化した後、 GaInN 層を成長させることにより、本発明方法で特定したバンドギャップエネルギーを有する、優れた光学的特性の GaInN 層を成膜することができる。本発明方法により成膜した GaInN 層を発光層に用いることにより、 360nm から $1.59\mu\text{m}$ までの広い波長領域をカバーする半導体発光素子を実現することができる。また、本発明方法によって成膜した GaInN 層を電界効果トランジスタのチャネル層に用いることによりバリア層とのバンドギャップエネルギー差を大きくとることができるので、電流増幅率の高い電子デバイスを実現することができる。

【図面の簡単な説明】

【図1】図1(a)から図1(c)は、それぞれ、本実施形態例の方法に従って $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体層を成膜する際の工程毎の基板断面図である。

【図2】 InN 層又は GaInN 層の成膜実験のタイムチャートである。

【図3】図3(a)から(d)は InN 層又は GaInN 層を成膜する際の工程毎の基板断面図である。

【図4】横軸にエネルギー(eV)を、縦軸に光強度(任意目盛)を取ってフォトルミネッセンススペクトルを示す図である。

【図5】横軸に In 組成を、縦軸に $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体のバンドギャップエネルギーを取って、 $T=77\text{K}$ で測定したフォトルミネッセンススペクトル及びカソードルミネッセンススペクトルのピークエネルギーをバンドギャップエネルギーとして示した図である。

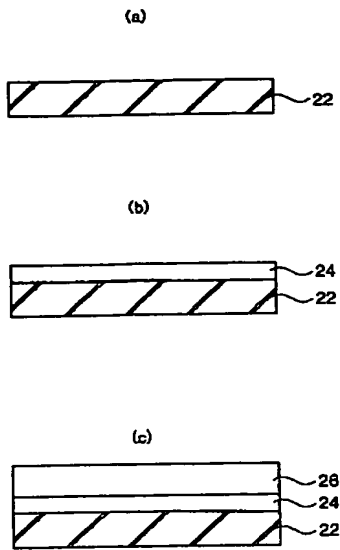
【図6】 In ビーム及び Ga ビームのインプットの比率 $\text{InN}/(\text{InN}+\text{Ga})$ と In 組成との関係を示すグラフである。

【図7】 InN の室温での吸収スペクトルを示す。

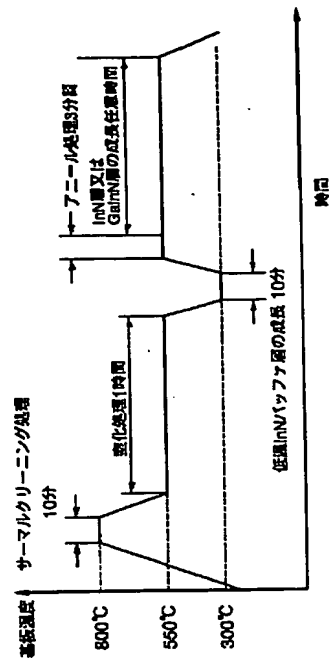
【符号の説明】

12……サファイア基板、14……低温 InN バッファ層、16…… InN 層、18…… $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体層、22……サファイア基板、24……低温 InN バッファ層、26…… $\text{Ga}_{1-x}\text{In}_x\text{N}$ 混晶半導体層。

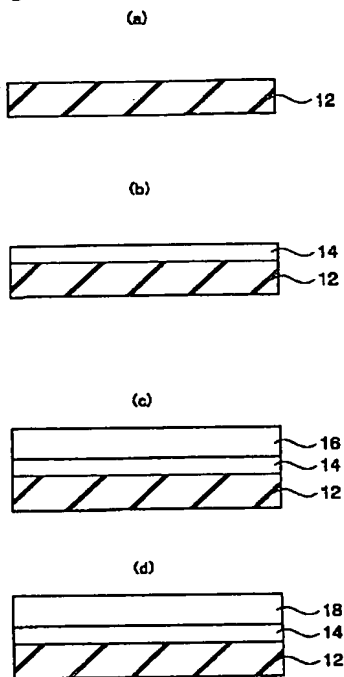
【図 1】



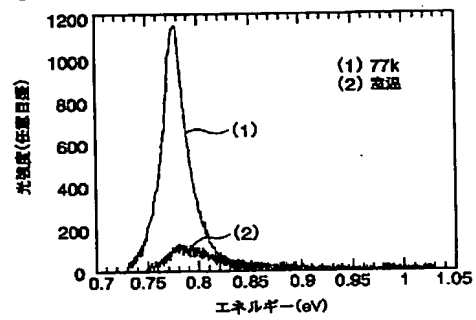
【図 2】



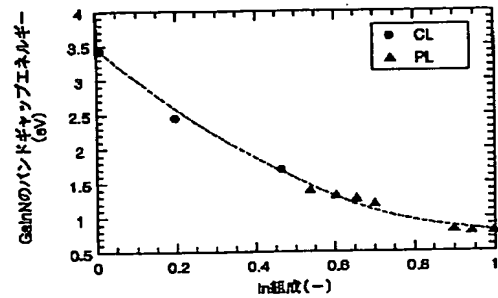
【図 3】



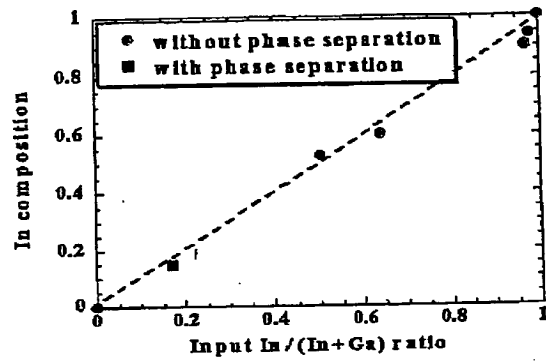
【図 4】



【図 5】

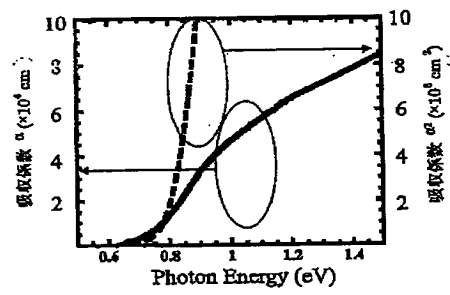


【図 6】



In flux / (In flux + Ga flux) と In 組成の関係

【図 7】



フロントページの続き

(72)発明者 名西 ▲やす▼之

滋賀県草津市野路東1丁目1-1 立命館大学内

Fターム(参考) 5F045 AA05 AB17 AD08 AF03 AF04 AF09 BB04 DA53 HA06
5F073 CA07 CB02 CB04 CB05 DA06 DA16 EA29

【要約の続き】

【選択図】 図1

THIS PAGE BLANK (USPTO)